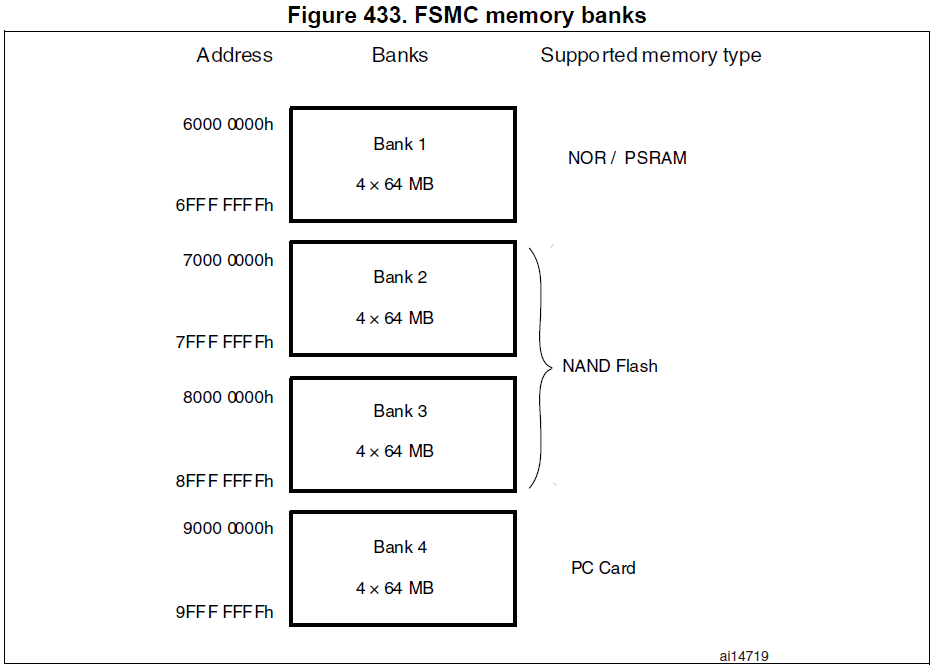
**36.4 Отображение внешних устройств.**

С точки зрения FSMC, внешняя память поделена на 4 банка фиксированного размера по 256МБ каждый (см. рисунок 433).

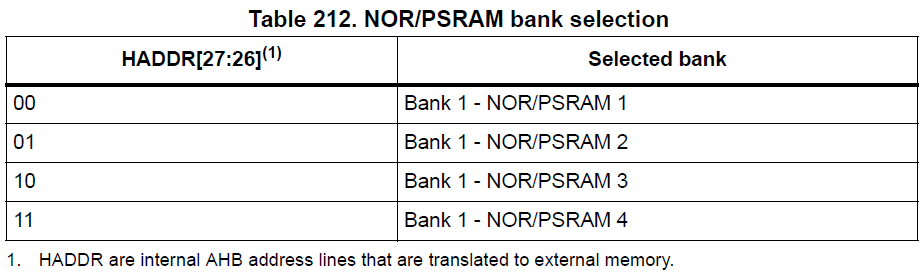
* Банк 1 используется для адресации до 4-ёх NOR Flash или PSRAM устройств памяти. Этот банк поделен на 4 NOR/PSRAM суб-банка с 4-мя отдельными Chip Select’ами следующим образом:
  + Банк 1 – NOR/PSRAM 1
  + Банк 1 – NOR/PSRAM 2
  + Банк 1 – NOR/PSRAM 3
  + Банк 1 – NOR/PSRAM 4
* Банки 2 и 3 используются для адресации NAND Flash устройств (по 1 устройству на банк).
* Банк 4 используется для адресации устройства PC Card.

Тип используемой памяти для каждого банка задается через конфигурационный регистр.

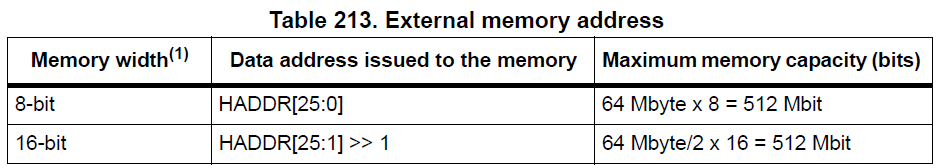


**36.4.1 адресное отображение NOR/PSRAM.**

Биты HADDR[27:26] используются для выбора одного из четырех банков памяти, как показано в таблице 212.



HADDR[25:0] содержат адрес внешней памяти (NB: адресуют до 64Мб внешней памяти). Так как HADDR – это адрес байта, то везде, где память адресуется по слову, фактический выставляемый адрес зависит от ширины данных памяти, как показано в следующей таблице.



В случае подключения 16-битной внешней памяти, FSMC фактически будет использовать HADDR[25:1] для генерации адреса для внешней памяти на выводах FSMC\_A[24:0]. Не зависимо от разрядности шины памяти (16 бит или 8 бит), FSMC\_A[0] должен быть подключен к внешней памяти все равно.

**36.5 NOR Flash/PSRAM контроллер.**

FSMC генерирует соответствующие тайминги сигналов для управления следующими типами памяти:

* Асинхронная память SRAM и ROM
  + 8-бит
  + 16-бит
  + 32-бит
* PSRAM (Cellular RAM)
  + Асинхронный режим
  + Пакетный режим для синхронных доступов
  + Мультиплексированный или не мультиплексированный
* NOR Flash
  + Асинхронный режим
  + Пакетный режим для синхронных доступов
  + Мультиплексированный или не мультиплексированный

FSMC выдает уникальный сигнал выбора чипа NE[4:1] на банк. Все остальные сигналы (адреса, данных и управления) являются разделяемыми.

Для синхронных доступов, FSMC выдает тактовый сигнал (CLK) на выбранное внешнее устройство только во время транзакций чтения/записи. Этот тактовый сигнал является кратным сигналу HCLK. Размер каждого банка фиксирован и равен 64Мб.

Каждый банк конфигурируется с помощью выделенных регистров (см. раздел 36.5.6).

Программируемые параметры памяти включают тайминги доступа (см. таблицу 216) и поддержку управления ожиданиями (для PSRAM и NOR Flash доступов в пакетном режиме).

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Параметр** | **Функция** | **Режим доступа** | | **Ед. изм.** | **Мин.** | **Макс.** |
| Установка адреса | Длительности фазы установки адреса | | Асинхронный | Тактовых циклов AHB (HCLK) | 0 | 15 |
| Удержание адреса | Длительность фазы удержания адреса | | Асинхронный, muxes I/Os | Тактовых циклов AHB (HCLK) | 1 | 15 |
| Установка данных | Длительность фазы установки данных | | Асинхронный | Тактовых циклов AHB (HCLK) | 1 | 256 |
| Вращение шины | Длительность фазы смены направления шины | | Асинхронное и синхронное чтение/запись | Тактовых циклов AHB (HCLK) | 0 | 15 |
| Коэффициент деления тактовой частоты | Количество тактовых циклов AHB (HCLK) для формирования одно тактового цикла памяти (CLK) | | Синхронный | Тактовых циклов AHB (HCLK) | 2 | 16 |
| Задержка данных | Количество тактовых циклов, которые должны быть выданы в память перед первыми данными в пачке | | Синхронный | Тактовых циклов памяти (CLK) | 2 | 17 |

**36.5.1 Сигналы интерфейса внешней памяти.**

Примечание: префикс «N» указывает на то, что соответствующий сигнал имеет низкий активный уровень.

**PSRAM/SRAM, не мультиплексированные I/O.**

|  |  |  |
| --- | --- | --- |
| **Имя сигнала FSMC** | **I/O** | **Функция** |
| CLK | O | Тактовый сигнал (только для синхронных доступов в PSRAM) |
| A[25:0] | O | Шина адреса |
| D[15:0] | I/O | Двунаправленная шина данных |
| NE[x] | O | Chip select, x=1…4 (называемый NCE на м/сх PSRAM) |
| NOE | O | Разрешение выхода |
| NWE | O | Разрешение записи |
| NL(= NADV) | O | Адрес валиден только для входа PSRAM (называемый NADV со стороны памяти) |
| NWAIT | I | Вход сигнала ожидания от PSRAM |
| NBL[1] | O | Разрешение передачи старшего байта (называемый NUB со стороны памяти) |
| NBL[0] | O | Разрешение передачи младшего байта (называемый NLB со стороны памяти) |

М/сх PSRAM памяти адресуются пословно. Максимальная емкость – 512Мбит (26 адресных линий).

**36.5.4 асинхронные транзакции контроллера для NOR Flash/PSRAM.**

Асинхронная статическая память (NOR Flash память, PSRAM, SRAM).

* Сигналы синхронизированы по внутреннему тактовому источнику HCLK. Этот тактовый источник не выдается на память.
* FSMC всегда захватывает данные перед съемом сигналов NOE. Это гарантирует, что ограничение по времени удержания данных памяти будет удовлетворено.
* Если разрешен расширенный режим (бит EXTMOD установлен в регистре FSMC\_BCRx), то доступно для использования до четырех расширенных режимов (A, B, C и D). Возможно также смешивать A, B, C и D режимы для операций чтения и записи. Например, операция чтения может быть выполнена в режиме A, а запись в режиме B.
* Если расширенный режим запрещен (бит EXTMOD сброшен в регистре FSMC\_BCRx), FSMC может работать в режиме 1 или в режиме 2 следующим образом:
  + Режим 1 – это стандартный режим, когда выбранный тип памяти – SRAM/PSRAM (MTYP[0:1] = 0x0 или 0x01 в регистре FSMC\_BCRx).
  + Режим 2 – это стандартный режим, когда выбранный тип памяти – NOR (MTYP[0:1] = 0x10 в регистре FSMC\_BCRx).

**Режим 1 – SRAM/PSRAM (CRAM).**

Следующий рисунок показывает транзакции чтения и записи для поддерживаемых режимов, за которыми следует необходимая конфигурация регистров FSMV\_BCRx и FSMC\_BTRx/FSMC\_BWTRx.

